

(8) Japanese Patent Application Laid-Open No. 6-21373 (1994):  
"METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE"

The following is an extract relevant to the present application.

5

A method of manufacturing a CMOS transistor comprising a step of depositing a silicon nitride film 8 having a thickness of approximately 100nm entirely on a surface including a gate electrode 6 on a bulk substrate by means of the pressure reducing CVD method.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-21373

(43)公開日 平成6年(1994)1月28日

(51)Int.Cl.<sup>5</sup>  
H01L 27/092

識別記号

庁内整理番号

F I

技術表示箇所

9054-4M

H01L 27/ 08

3 2 1 E

審査請求 未請求 請求項の数2(全 6 頁)

(21)出願番号 特願平4-176312

(22)出願日 平成4年(1992)7月3日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 佐藤 昇

東京都港区芝五丁目7番1号日本電気株式会社内

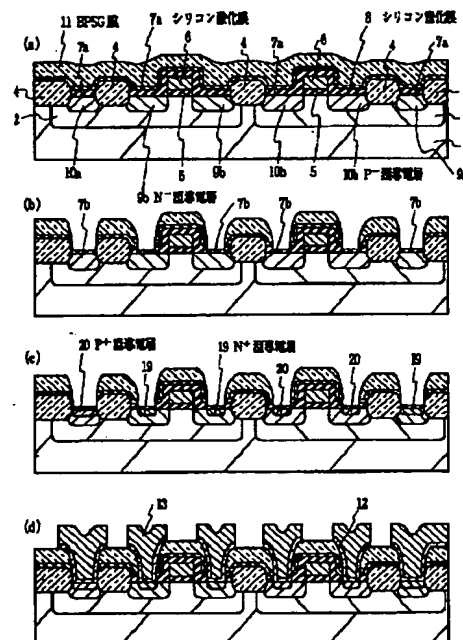
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】LDD構造のCMOSにおいて、製造工程中に生じるLDD層の表面濃度の変化を防ぐ。

【構成】ゲート電極6を形成した後、シリコン酸化膜7aを形成し、N<sup>-</sup>型導電層9a、9b、P<sup>-</sup>型導電層10a、10bを形成し、全面にシリコン窒化膜8を堆積する。その後、BPSG膜11の堆積、リフローを行なう。



1

## 【特許請求の範囲】

【請求項1】 シリコン基板の表面に素子分離領域を形成する工程と、

前記シリコン基板の第1導電型領域の表面の第2チャネル型のトランジスタ形成予定領域、および前記シリコン基板の第2導電型領域の表面の第1チャネル型のトランジスタ形成予定領域に、第1の絶縁膜を介して、ゲート電極を形成する工程と、

少なくとも前記ゲート電極の表面を含む前記第1チャネル型のトランジスタ形成予定領域、および前記第2チャネル型のトランジスタ形成予定領域の全面に第2の絶縁膜を形成し、前記ゲート電極をマスクとした第1導電型の不純物の導入により前記第1チャネル型のトランジスタ形成予定領域にソース・ドレインとなる第1導電型の第1導電層を形成し、前記ゲート電極をマスクとした第2導電型の不純物の導入により前記第2チャネル型のトランジスタ形成予定領域にソース・ドレインとなる第2導電型の第1導電層を形成する工程と、

第3の絶縁膜を形成し、全面に不純物を含んだ層間絶縁膜を形成し、熱処理を施す工程と、

前記層間絶縁膜と前記第2、第3の絶縁膜とをパターンニングして前記第1導電型の第1導電層、前記第2導電型の第1導電層に達する開口部を形成し、前記開口部の底面に第4の絶縁膜を形成し、熱処理を施す工程と、

第1導電型の不純物の導入により前記第1導電型の第1導電層の前記第4の絶縁膜の直下の領域に前記第1導電型の第1導電層より不純物濃度の高い第1導電型の第2導電層を形成し、第2導電型の不純物の導入により前記第2導電型の第1導電層の前記第4の絶縁膜の直下の領域に前記第2導電型の第1導電層より不純物濃度の高い第2導電型の第2導電層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記第3の絶縁膜がシリコン窒化膜であることを特徴とする請求項1記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特にLDD構造のCMOSTランジスタの製造方法に関する。

【0002】

【従来の技術】 半導体装置の製造方法を説明する工程順の断面図である図3を参照すると、従来のLDD構造のCMOSTランジスタは、まず、P型のシリコン基板1にPウェル2、Nウェル3を形成した後、LOCOS法によるシリコン酸化膜4の形成による素子分離領域を形成し、Nチャネル、およびPチャネルMOSTランジスタの形成予定領域を含むシリコン基板1の表面にゲート酸化膜5を形成し、N型の多結晶シリコン膜からなるゲート電極6を選択的に形成する。次に、熱酸化によりゲ

2

ート電極6の表面を含めたNチャネル、およびPチャネルMOSTランジスタの形成予定領域の表面に、熱酸化により再度膜厚30nm程度のシリコン酸化膜7aを形成し、Nウェル3、NチャネルMOSTランジスタの形成予定領域に選択的にN<sup>-</sup>型導電層9a、N<sup>-</sup>型導電層9bを形成するとともにPウェル2、PチャネルMOSTランジスタの形成予定領域に選択的にP<sup>-</sup>型導電層10a、P<sup>-</sup>型導電層10bを順次形成する〔図3(a)〕。

【0003】 次に、BPSG膜11を堆積し、熱処理を施し、N<sup>-</sup>型導電層9a、9b、P<sup>-</sup>型導電層10a、10bに達する開口部を形成し、これら開口部の表面に熱酸化によるシリコン酸化膜17を形成する。次に、アルミニウム膜23aを形成した後、これをマスクにしたイオン注入により、N<sup>-</sup>型導電層9a、9bの開口部にN<sup>+</sup>型導電層19を形成する〔図3(b)〕。アルミニウム膜23aを除去してアルミニウム膜23bを形成した後、これをマスクにしたイオン注入により、P<sup>-</sup>型導電層10a、10bの開口部にP<sup>+</sup>型導電層20を形成する〔図3(c)〕。

【0004】 次に、アルミニウム膜23bを除去し、熱処理を施し、シリコン酸化膜17を除去した後、タングステンシリサイド膜12、およびアルミニウム膜13を順次堆積し、この積層膜をパターンニングして熱処理を施すことにより従来のLDD構造のCMOSTランジスタが得られる〔図3(d)〕。

【0005】

【発明が解決しようとする課題】 上述した従来の半導体装置の製造方法では、ソース・ドレインの低濃度導電層が形成された領域の表面は、膜厚30nm程度のシリコン酸化膜7aを介して高濃度のリン、およびボロンを含むBPSG膜11と接している。このため、このBPSG膜11をリフローするための熱処理において、BPSG膜11が有限拡散ソースとなり、不純物の熱拡散に対するマスキング効果の小さなシリコン酸化膜7aを介して低濃度導電層にリン、またはボロンが拡散される。一方、BPSG膜11の形成にはCVD法が用いられるが、このリン、およびボロンの濃度の制御が困難である。

【0006】 その結果、拡散される不純物と同じ導電型の低濃度導電層においては、その表面の不純物濃度が増加し、接合逆耐圧の低下が生じ、同じ導電型チャネルのMOSTランジスタの特性上大きな欠陥となる。これと同時に、逆導電型の低濃度導電層においては、その表面の不純物濃度が減少し、ソース・ドレイン間の直列抵抗が増加し、逆導電型チャネルのMOSTランジスタの特性上大きな欠陥となる。

【0007】 さらに近年、LSIの高集積化に伴ない半導体素子の平面的な微細化は進展しているが、積層方向、即ち縦方向の微細化の進展は遅れている。その結

果、半導体素子に対する開口部のアスペクト比が高くなり、これの解消にBPSG膜のリフローが用いられている。このため、BPSG膜の不純物濃度は増加の傾向にあり、前述のBPSG膜中の不純物のソース・ドレインへの拡散という問題は、一段と深刻な問題になりつつある。

【0008】

【課題を解決するための手段】本発明の半導体装置の製造方法は、シリコン基板の表面に素子分離領域を形成する工程と、シリコン基板の第1導電型領域の表面の第2

10 チャネル型のトランジスタ形成予定領域、およびシリコン基板の第2導電型領域の表面の第1チャネル型のトランジスタ形成予定領域に第1の絶縁膜を介してゲート電極を形成する工程と、少なくともゲート電極の表面を含む第1チャネル型のトランジスタ形成予定領域、および第2チャネル型のトランジスタ形成予定領域の全面に第2の絶縁膜を形成してこのゲート電極をマスクとした第1導電型の不純物の導入により第1チャネル型のトランジスタ形成予定領域にソース・ドレインとなる第1導電型の第1導電層を形成し、このゲート電極をマスクとした

20 第2導電型の不純物の導入により第2チャネル型のトランジスタ形成予定領域にソース・ドレインとなる第2導電型の第1導電層を形成する工程と、第3の絶縁膜の形成、全面に不純物を含んだ層間絶縁膜の形成、熱処理を施す工程と、層間絶縁膜と第2、第3の絶縁膜とをパターンニングして第1導電型の第1導電層、第2導電型の第1導電層に達する開口部を形成してこの開口部の底面に第4の絶縁膜を形成し、熱処理を施す工程と、第1導電型の不純物の導入により第1導電型の第1導電層の第4の絶縁膜の直下の領域に第1導電型の第1導電層より

30 不純物濃度の高い第1導電型の第2導電層を形成し、第2導電型の不純物の導入により第2導電型の第1導電層の第4の絶縁膜の直下の領域に第2導電型の第1導電層より不純物濃度の高い第2導電型の第2導電層を形成する工程と、を含んである。好ましくは、上記第3の絶縁膜はシリコン窒化膜である。

【0009】

【実施例】次に、本発明について図面を参照して説明する。

【0010】半導体装置の製造方法を説明するための工程順の断面図である図1を参照すると、本発明の第1の実施例は、まず、P型のシリコン基板1の表面に、選択的に表面不純物濃度が $5 \times 10^{11} / \text{cm}^2$ 程度のPウェル2、Nウェル3を順次形成する。次に、LOCOS法による膜厚 $1 \mu\text{m}$ 程度のシリコン酸化膜4を所定の領域に形成して素子分離領域を形成する。次に、Nチャネル、およびPチャネルMOSトランジスタ等の素子が形成される領域に、ゲート酸化膜となる膜厚 $30 \text{ nm}$ 程度のシリコン酸化膜5を熱酸化法により形成し、各トランジスタのしきい値を設定するためのイオン注入を順次行

50

なう。

【0011】次に、CVD法により膜厚 $600 \text{ nm}$ 程度の多結晶シリコン膜を堆積し、この多結晶シリコン膜をリンの熱拡散を行なってシート抵抗が $18 \Omega / \square$ 程度のN型の多結晶シリコン膜にする。このN型の多結晶シリコン膜をドライエッチング法によりパターンニングして、ゲート電極6を形成する。次に、酸処理を施した後、 $1000 \sim 1100^\circ\text{C}$ の熱酸化法により、ゲート電極6の表面およびシリコン酸化膜4が形成されていないシリコン基板1の表面に、膜厚 $30 \text{ nm}$ 程度のシリコン酸化膜7aを形成する。

【0012】次に、イオン注入により、順次、Nウェル3、Pウェル2にそれぞれ $\text{N}^-$ 型導電層9a、9bを形成し、Pウェル2、Nウェル3にそれぞれ $\text{P}^-$ 型導電層10a、10bを形成する。 $\text{N}^-$ 型導電層9a、9b、および $\text{P}^-$ 型導電層10a、10bの表面不純物濃度はそれぞれ $5 \times 10^{17} / \text{cm}^2$ 程度である。

【0013】次に、減圧CVD法により、膜厚 $100 \text{ nm}$ 程度のシリコン窒化膜8を全面に堆積する。続いて、常圧CVD法により、リンの濃度が約 $10 \text{ mol}\%$ 、ボロンの濃度が約 $20 \text{ mol}\%$ のBPSG膜11を $1 \mu\text{m}$ 程度堆積し、 $\text{H}_2$ 、 $-\text{O}_2$ 、雰囲気 $1000^\circ\text{C}$ 程度の熱処理を施す〔図1(a)〕。

【0014】次に、公知のフォトリソグラフィ技術、ドライエッチング法により、BPSG膜11、シリコン窒化膜8、シリコン酸化膜7aを順次エッチング除去し、それぞれ $\text{N}^-$ 型導電層9a、9b、および $\text{P}^-$ 型導電層10a、10bに達する開口部を形成する。酸処理を施した後、 $1000^\circ\text{C}$ 、10分間の熱酸化により、これら開口部の表面に、膜厚 $20 \text{ nm}$ 程度のシリコン酸化膜7bを形成する〔図1(b)〕。次に、イオン注入により、それぞれこれらの開口部に自己整合的に、 $\text{N}^-$ 型導電層9a、9bに $\text{N}^-$ 型導電層19を形成し、 $\text{P}^-$ 型導電層10a、10bに $\text{P}^-$ 型導電層20を形成する。 $\text{N}^-$ 型導電層19、および $\text{P}^-$ 型導電層20の表面不純物濃度は、それぞれ $1 \times 10^{19} / \text{cm}^2$ 程度である〔図1(c)〕。

【0015】その後、 $1000^\circ\text{C}$ の窒素雰囲気 $10$ 分間程度の熱処理を施す。次に、 $\text{HF}$ を用いた酸処理法により、 $30 \text{ nm}$ 程度のシリコン酸化膜7bを除去した後、タングステンシリサイド膜12、およびアルミニウム膜13を順次堆積し、この積層膜をパターンニングして熱処理を施すことにより上記第1の実施例によるLDD構造のCMOSトランジスタが得られる〔図1(d)〕。

【0016】半導体装置の製造方法を説明するための工程順の断面図である図2を参照すると、本発明の第2の実施例は、ゲート電極6の形成、酸処理までは上記第1の実施例と同様に行ない、 $\text{N}^-$ 型導電層9a、9b、および $\text{P}^-$ 型導電層10a、10bを形成する。次に、全

5

面に減圧CVD法により膜厚100nm程度のCVDシリコン酸化膜13を堆積する。続いて、ドライエッチング法により、このCVDシリコン酸化膜13のエッチバックを行ない、ゲート電極6の側面にのみCVDシリコン酸化膜13を残す。次に、洗浄を行なった後、上記第1の実施例と同様に、減圧CVD法により、膜厚100nm程度のシリコン窒化膜8を全面に堆積する。続いて、常圧CVD法によりBPSG膜11を1μm程度堆積し、H<sub>2</sub>-O<sub>2</sub>、雰囲気で1000℃、20分間程度の熱処理を施し、BPSG膜11の表面を平坦化する〔図2(a)〕。

【0017】以下、上記第1の実施例と同様に、それぞれN<sup>-</sup>型導電層9a、9b、およびP<sup>-</sup>型導電層10a、10bに達する開口部を形成する。酸処理を施した後、1000℃、10分間の熱酸化により、これら開口部の表面に、膜厚20nm程度のシリコン酸化膜7bを形成する。次に、イオン注入により、N<sup>+</sup>型導電層19、P<sup>+</sup>型導電層20を形成する。〔図2(b)〕。

【0018】その後、1000℃の窒素雰囲気中10分間程度の熱処理を施す。次に、HFを用いた酸処理法により、30nm程度のシリコン酸化膜7bを除去した後、タングステンシリサイド膜12、およびアルミニウム膜13を順次堆積し、この積層膜をパターニングして熱処理を施すことにより上記第2の実施例によるLDD構造のCMOSトランジスタが得られる〔図2(c)〕。

【0019】上記第2の実施例によれば、N<sup>-</sup>型導電層9a、9b、およびP<sup>-</sup>型導電層10a、10bの上記開口部が形成される領域において、シリコン窒化膜8がこれらN<sup>-</sup>型導電層9a、9b、およびP<sup>-</sup>型導電層10a、10bの表面に直接に堆積されているため、上記開口部形成のためのドライエッチング、およびその後の酸処理に際して、サイドエッチングによる開口部の径の拡大は起らない。また、上記第1の実施例では、この開口部が形成される領域ではシリコン酸化膜7aとシリコン窒化膜8とが積層されているため、開口部形成のエッチングでシリコン酸化膜7aのアンダーカットが生じやすかったが、本実施例では起らない。このため、本実施例では、上記第1の実施例に較べて、タングステンシリサイド膜12およびアルミニウム膜13からなる金属配線とN<sup>+</sup>型導電層19、P<sup>+</sup>型導電層20との間のコンタクト性は非常に良好となる。

【0020】

【発明の効果】以上説明したように本発明によれば、LDD構造のソース・ドレインの低濃度領域(N<sup>-</sup>型導電層、P<sup>-</sup>型導電層)を形成後、BPSG膜の堆積の前

6

に、全面にシリコン窒化膜を堆積するため、BPSG膜のリフローのための熱処理に際してこの膜からの高濃度のリン、およびボロンがソース・ドレインの低濃度領域に拡散されることがなくなる。その結果、この低濃度領域の表面の不純物濃度が減少、あるいは増加することは避けられ、Nチャネル、Pチャネルそれぞれのトランジスタにおける接合耐圧の低下、ソース・ドレイン間の直列抵抗の増大が起らず、良好なトランジスタ特性を有するCMOSトランジスタが得られる。

【0021】さらに本発明によれば、半導体素子の微細化に伴ないさらにリン、およびボロンの濃度が高くなっても、良好なBPSG膜のリフロー状態を得ることが可能となり、今後の微細化技術において有効な手段となる。

【0022】例えば、本発明により製造したCMOSトランジスタでは、リン、およびボロンの濃度を20mol%、および30mol%程度まで高くしても、Nチャネル、およびPチャネルMOSトランジスタのP-N接合耐圧は4.5V程度と非常に高く、安定している。また、ゲート電極の幅、間隔が1.5μm、1.2μm程度であり、シリコン基板表面からゲート電極上のBPSG膜表面までの高さが1μm程度(アスペクト比が高くなる)の場合でも、信頼性の高いCMOSトランジスタが得られら。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための工程順の断面図である。

【図2】本発明の第2の実施例を説明するための工程順の断面図である。

【図3】従来のLDD構造のCMOSトランジスタの製造方法を説明するための工程順の断面図である。

【符号の説明】

- |               |                     |
|---------------|---------------------|
| 1             | P型のシリコン基板           |
| 2             | Pウェル                |
| 3             | Nウェル                |
| 4, 7a, 7b, 17 | シリコン酸化膜             |
| 5             | ゲート酸化膜              |
| 6             | ゲート電極               |
| 8             | シリコン窒化膜             |
| 9a, 9b        | N <sup>-</sup> 型導電層 |
| 10a, 10b      | P <sup>-</sup> 型導電層 |
| 11            | BPSG膜               |
| 12            | タングステンシリサイド膜        |
| 13, 23a, 23b  | アルミニウム膜             |
| 19            | N <sup>+</sup> 型導電層 |
| 20            | P <sup>+</sup> 型導電層 |

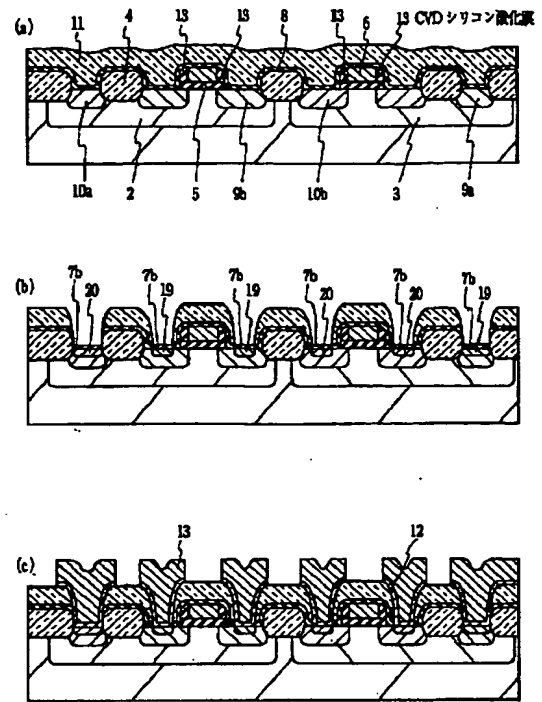
10

20

30

40

【圖2】



【図3】

